

Séminaire ASTRE : Christian Gamom

25 Juin 2015, 15:00 – 16:30

Titre du séminaire et orateur

Déploiement d'applications parallèles sur une architecture distribuée matériellement reconfigurable.

Roland Christian Gamom Ngounou Ewo, ETIS, équipe ASTRE.

Date et lieu

Jeudi 25 juin 2015, 15h.

ENSEA, salle 384.

Résumé

Parmi les cibles architecturales susceptibles d'être utilisées pour réaliser un système de traitement sur puce (SoC), les architectures reconfigurables dynamiquement (ARD) offrent un potentiel de flexibilité et de dynamique intéressant. Cependant ce potentiel est encore difficile à exploiter pour réaliser des applications massivement parallèles sur puce. Dans nos travaux nous avons recensé et analysé les solutions actuellement proposées pour utiliser les ARDs et nous avons constaté leurs limites parmi lesquelles : l'utilisation d'une technologie particulière ou d'architecture propriétaire, l'absence de prise en compte des applications parallèles, le passage à l'échelle difficile, l'absence de standards adoptés par la communauté pour l'utilisation de la flexibilité des ARDs.

Dans nos travaux nous proposons une solution pour le déploiement sur une ARD d'une application parallèle en utilisant les flots de conception standard des SoC. Cette solution est appelée MATIP (MPI Application Task Integration Platform) et utilise des primitives du standard MPI version 2 pour effectuer les communications et reconfigurer l'architecture de traitement.

La plateforme MATIP est modélisée en trois couches : interconnexion, communication et application. Nous avons conçu chaque couche pour que l'ensemble satisfasse les besoins en communications et dynamique des applications parallèles. Pour cela MATIP utilise une architecture à mémoire distribuée et exploite le paradigme de programmation parallèle par passage de message qui favorise le passage à l'échelle de la plateforme.

MATIP facilite le déploiement d'une application parallèle sur puce en proposant un template en langage Vhdl pour l'intégration de tâches. L'utilisation des primitives de communication se fait en invoquant des procédures Vhdl.

MATIP libère le concepteur de tous les détails liés à l'interconnexion, à la communication entre les tâches

et à la gestion de la reconfiguration dynamique de la cible matérielle. Un démonstrateur de MATIP a été réalisée sur des FPGA Xilinx à travers la mise en oeuvre d'une application constituée de deux tâches statiques et deux tâches dynamiques. MATIP offre une bande passante de 2,4 Gb/s et une la latence pour le transfert d'un octet de 3,43 μ s ce qui comparée à d'autres plateformes MPI (TMD-MPI, SOC-MPI, MPI HAL) met MATIP à l'état de l'art.