

# Séminaire ASTRE : Fouad Sahraoui

24 Mars 2016, 17:00 – 18:30

## Titre du séminaire et orateur

Vers de nouveaux services RTOS offrant la fiabilisation des systèmes reconfigurables dynamiquement.

Fouad Sahraoui, ETIS, équipe ASTRE.

## Date et lieu

Jeudi 24 mars 2016, 17h.

ENSEA, salle 384.

## Résumé

Les systèmes électroniques sont de plus en plus présents dans les sociétés modernes, on peut les retrouver sous des formes très variées, très simple comme le réveil au chevet du lit ou très complexe comme un satellite de télécommunication en orbite. De nos jours, la majorité de ces inventions reposent en partie sur des "systèmes sur puces" afin de parvenir à accomplir leurs fonction principale, à savoir nous simplifier notre quotidien. Toutefois, à cause de leur nature physique, ces systèmes peuvent subir des dysfonctionnements dûs aux environnements dans lesquels ils évoluent. Des phénomènes naturels peuvent provoquer des aléas susceptibles d'avoir des conséquences graves sur la sûreté de fonctionnement du système.

Ce séminaire présente une étude de la fiabilité d'une classe spécifique de systèmes sur puce capables de se reconfigurer partiellement de manière dynamique. On explore la possibilité d'utiliser leur capacité de reconfiguration dynamique partielle (RDP) pour durcir les applications sur FPGAs. Dans cette optique, l'utilisation des approches de sauvegarde et de restauration de contexte pour la tolérance contre les fautes transitoire est détaillée. La RDP est utilisée pour la gestion de contexte des tâches matérielles de l'application reconfigurable, le recours à la RDP permet de réduire les modifications à apporter au système initial et la complexité du système résultant. Après identification des limitations de l'approche "Backward Error Recovery" sur les plateformes FPGAs à base de mémoire SRAM, on propose un nouveau algorithme de placement des ressources sur FPGA afin de minimiser les temps d'accès des opérations de sauvegarde et de restauration d'une tâche matérielle. L'évaluation de la fiabilité de l'approche est réalisée à travers une campagne d'injection de faute sur une plateforme de démonstration basée sur un FPGA Virtex-5 qui intègre le contrôleur de fiabilité et une application de chiffrement de données.

**Mot clés :** Tolérance aux fautes, fiabilité, architecture reconfigurable, FPGA, SRAM

