

# **Soutenance d'HdR : Benoît Miramond**

24 Septembre 2014, 13:30 – 16:00

## **Titre**

Contributions à la conception de systèmes sur puce reconfigurables. Des systèmes embarqués multiprocesseurs aux architectures bio-inspirées.

## **Date et lieu de soutenance**

Mercredi 24 septembre 2014, à 13h30.

Université de Cergy-Pontoise, site "le Jardin tropical", salle 217.

(Attention, nombre de places limité dans cette salle, la soutenance sera aussi retransmise en salle 331 à l'ENSEA.)

## **Résumé**

Les systèmes embarqués sont ces systèmes électroniques et informatiques conçus spécifiquement pour équiper nos objets du quotidien ; de nos smartphones et nos véhicules aux satellites qui nous permettent de nous localiser et de communiquer en passant par les transports que nous empruntons régulièrement.

L'évolution technologique conduit à doter ces outils du quotidien de services toujours plus évolués, tendant aussi à les rendre plus autonomes dans leurs capacités de communication, de reconnaissance ou de prise de décisions.

Pour parvenir à ces fonctions de plus en plus "intelligentes", ces systèmes doivent exécuter en temps réel des modèles computationnels plus complexes de générations en générations, s'inspirant parfois de certaines capacités du cerveau humain. Pour faire face à cette évolution, la tendance dans les systèmes embarqués, comme dans les autres systèmes informatiques, est d'augmenter le nombre de coeurs de calcul dans les circuits micro-électroniques : de quelques dizaines de coeurs en 2014 vers plus de mille déjà annoncés pour les premiers prototypes en 2015.

La science de l'architecture des systèmes de calcul cherche alors le bon compromis entre les capacités de traitement de ces circuits et leur programmabilité, entre ce qui doit être prévu à la conception et ce qui doit être décidé à l'exécution, entre la bonne partition entre le logiciel et le matériel...

Je traiterai durant cette soutenance des travaux que j'ai mené au laboratoire ETIS depuis 2005 pour proposer des réponses à ces compromis lors de la conception de systèmes sur puce (SoC) multiprocesseurs reconfigurables. Je m'appuierai sur mes études et résultats dans plusieurs projets académiques et industriels pour questionner la démarche scientifique classique :

- Dans les secteurs les plus critiques de l'électronique embarquée par exemple, ce parallélisme

croissant reste-t-il compatible avec les contraintes d'exécution temps réel ?

- Peut-on encore conserver une idée de déterminisme et de prédictibilité sur un système de plus d'un milliard de transistors ?
- A ce stade de complexité, quels compromis s'offrent à l'architecte et au concepteur entre ce qu'il peut encore déterminer hors-ligne et ce qui doit être géré à l'exécution par le système lui-même ?
- A partir de quel seuil, le nombre croissant d'unités parallèles appelle-t-il un changement profond dans le paradigme même du calcul ?

Je profiterai justement de mes travaux les plus récents pour présenter un nouveau paradigme, inspiré des capacités d'auto-organisation des systèmes de calcul naturel, et envisager cette augmentation de complexité structurelle autrement.

## **Composition du jury**

- Andres Perez Uribe, ICT, Suisse
- Frédéric Pétrot, Grenoble INP
- Michel Paindavoine, Université de Bourgogne
- Bernard Girau, Université de Lorraine
- Bertrand Granado, Université Paris 6
- Dragomir Milojevic, Université libre de Bruxelles, Belgique
- Jean-Pierre Derutin, Université Blaise-Pascal, Clermont-Ferrand