

Fiabilité des systèmes reconfigurables

Mots-clés

Fautes transitoires, mécanismes de détection, modèles des fautes, injections des fautes, bits critiques, tolérance aux fautes, environnement hostile, Checkpoints/Recovery, fiabilisation des BRAMs

Description

Les capacités d'intégration des circuits intégrés ne cessent de s'accroître offrant aux systèmes sur puce (SoCs) d'aujourd'hui des performances de calcul inaccoutumées. Cependant, cette augmentation exponentielle du nombre des éléments intégrés sur la même puce, met en cause la fiabilité de tels systèmes. En effet, la probabilité de défaillance d'une puce augmente proportionnellement avec le nombre des éléments intégrés sur cette puce ; notamment avec la technologie en-dessous de 28 nm.

Nous proposons des solutions de tolérance aux fautes transitoires pour fiabiliser les SoCs particulièrement les systèmes reconfigurables dynamiquement. Nous développons des approches de fiabilisation adaptées et multi-niveaux qui passent par la modélisation des fautes, la campagne d'injection (simulation, émulation, bits critiques), la détection des fautes simples et multiples, le confinement / isolation, la cartographie des ressources, la correction et/ou la tolérance aux fautes (par Checkpoint/Recovery, redondance, algorithmes ECC, reconfiguration partielle, Backward/Forward Error recovery).

Nous validons nos mécanismes de fiabilité par déploiement des applications industrielles (Aérospatiale, automobile ...) sur des plateformes reconfigurables (FPGA Xilinx Spartan, Virtex 5/6/7/Zynq, Altera Cyclone/Sratix V...).

Participants

F. Ghaffari, F. Sahraoui, M.E.A. Benkhelifa, B. Miramond, O. Romain

Projets correspondants

- EXCELA-VO (FUI 15)
- I-RISC (FP7)

Collaborations

- CEA List – Saclay Nano-Innov , Valeo Cergy Saint-Christophe, Thalès Research & Technology – Palaiseau
- Université de Sfax (Tunisie) , Université de Monastir (Tunisie) , Département Génie Electrique